

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-125026

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 29/78

(21)Application number : 07-213844

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 22.08.1995

(72)Inventor : YOSHIDA SHINICHI

OSANAI JUN

SAITO YUTAKA

(30)Priority

Priority number : 06210209

Priority date : 02.09.1994

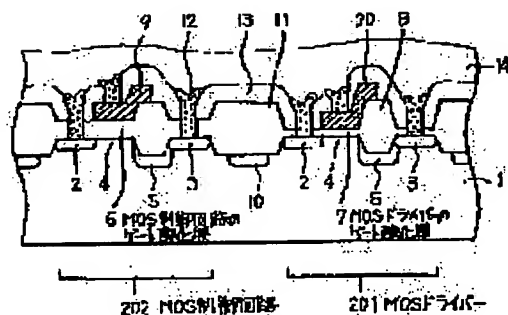
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enhance a current valve per the unit channel of a high withstand voltage MOS type semiconductor integrated circuit and a switching speed by changing the thickness of a gate insulating film correspondent with the potential difference between the gate and the substrate of a transistor.

CONSTITUTION: In a high withstand voltage MOS type semiconductor integrated circuit constituted of MOS transistors, the thickness of the gate oxide film 7 of a MOS drive in which the potential difference between a gate and a substrate is always small is set at 300 μ m. Since an output voltage is applied to a gate electrode 9 from a gate control circuit, an input voltage is not fully applied or because of LOCOS-drain structure, a LOCOS-drain oxide film 8 is thickened to increase the withstand voltage of a drain, the thickness of the gate oxide film 7 can be set to 300 μ m. Also, the thickness of the gate oxide film 6 of a MOS control circuit in which the potential difference between the gate and the substrate becomes large or small is set at 800 μ m. This is the case where an input voltage is fully applied to the gate electrode 9, and it is a thickness which can be guaranteed with respect to an allowable input voltage.



LEGAL STATUS

[Date of request for examination]

29.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2981717

[Date of registration] 24.09.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-125026

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8234
27/088
29/78

H 0 1 L 27/ 08 1 0 2 C
29/ 78 3 0 1 G

審査請求 未請求 請求項の数16 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平7-213844
(22) 出願日 平成7年(1995)8月22日
(31) 優先権主張番号 特願平6-210209
(32) 優先日 平6(1994)9月2日
(33) 優先権主張国 日本 (J P)

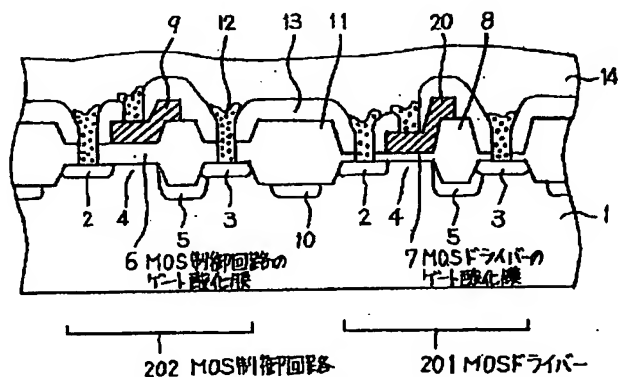
(71) 出願人 000002325
セイコー電子工業株式会社
千葉県千葉市美浜区中瀬1丁目8番地
(72) 発明者 吉田 信一
千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内
(72) 発明者 小山内 潤
千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内
(72) 発明者 斉藤 豊
千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 高耐圧MOS型半導体集積回路装置において、MOSドライバーの単位チャネル当たりの電流値の増加とスイッチング速度の高速化を目的とする。

【解決手段】 MOSTランジスタで構成される半導体集積回路装置において、MOSTランジスタのゲート～基板間電位差に応じてMOSTランジスタのゲート絶縁膜の厚みを変えることを特徴とする高耐圧MOS型半導体集積回路装置。



【特許請求の範囲】

【請求項1】 MOSトランジスタで構成される高耐圧MOS型半導体集積回路装置において、MOSトランジスタのゲートと基板間に印加される電位差に応じてMOSトランジスタのゲート絶縁膜の厚みが異なることを特徴とする高耐圧MOS型半導体集積回路装置。

【請求項2】 前記MOS型トランジスタはLOCOSードレイン構造を有することを特徴とする請求項1記載の高耐圧MOS型半導体集積回路装置。

【請求項3】 前記LOCOSードレイン構造におけるドレイン部の厚い酸化膜と素子分離のためのLOCOS酸化膜の厚みが同じであることを特徴とする請求項2記載の高耐圧MOS型半導体集積回路装置。

【請求項4】 前記高耐圧MOS型半導体集積回路装置はボルテージレギュレータを含み、前記LOCOSードレイン構造のMOSトランジスタが前記ボルテージレギュレータに含まれることを特徴とする請求項2記載の高耐圧MOS型半導体集積回路装置。

【請求項5】 前記LOCOSードレイン構造のMOSトランジスタのドレイン部のドリフト領域には、不純物として、濃度約 $1.0 \sim 2.7 \times 10^{14} / \text{cm}^2$ のボロンおよび濃度が最大 $2.0 \times 10^{13} / \text{cm}^2$ のリンのいずれかを有することを特徴とする請求項3記載の高耐圧MOS型半導体集積回路装置。

【請求項6】 第1導電型の半導体層に離間して形成した第2導電型のソース領域およびドレイン領域と、前記ソース領域とドレイン領域の間に形成したチャネル形成領域と、前記チャネル形成領域の上にゲート絶縁膜を介してゲート電極を形成したMOSトランジスタを有する半導体集積回路装置において、ゲート電極と半導体層との間に高い電圧が印加される第1MOSトランジスタのゲート絶縁膜の膜厚は、低い電圧が印加される第2MOSトランジスタのゲート絶縁膜の膜厚よりも厚いことを特徴とする半導体集積回路装置。

【請求項7】 前記第1および第2MOS型トランジスタは、前記チャネル形成領域と前記ドレイン領域との間の前記半導体層に第2導電型のドリフト領域を設けたことを特徴とする請求項6記載の半導体集積回路装置。

【請求項8】 前記ドリフト領域の上にLOCOS酸化膜を設けたことを特徴とする請求項6記載の半導体集積回路装置。

【請求項9】 前記半導体層の上にはさらに酸化膜から成る素子分離領域を有し、前記素子分離領域の酸化膜の膜厚と前記LOCOS酸化膜の膜厚とが実質的に同一であることを特徴とする請求項8記載の半導体集積回路装置。

【請求項10】 前記ドリフト領域には、ボロン濃度が約 $1.0 \sim 2.7 \times 10^{14} / \text{cm}^2$ 含まれることを特徴とする請求項7記載の半導体集積回路装置。

【請求項11】 前記ドリフト領域には、リン濃度が最

大約 $2.0 \times 10^{13} / \text{cm}^2$ 含まれることを特徴とする請求項7記載の半導体集積回路装置。

【請求項12】 前記半導体集積回路装置は前記第2MOSトランジスタを含むMOSドライバーと前記第1MOSトランジスタを含むMOS制御回路とから構成されるボルテージレギュレータ回路を含むことを特徴とする請求項6記載の半導体集積回路装置。

【請求項13】 前記ボルテージレギュレータ回路は、電圧を入力する入力端子と、電圧を出力する出力端子と、前記入力端子と前記出力端子間に構成し、前記入力端子の電圧を調整して前記出力端子に伝達する前記MOSドライバーと、前記出力端子の電圧情報をフィードバックして前記MOSドライバーを制御する前記MOS制御回路とからなることを特徴とする請求項12記載の半導体集積回路装置。

【請求項14】 前記入力端子と出力端子間に前記MOS型ドライバーを流れる電流を制限するための電流制限回路を構成し、前記出力端子と電氣的に接続し前記出力端子の電圧情報を前記MOS制御回路へフィードバックするラダー抵抗回路を構成した請求項13記載の半導体集積回路装置。

【請求項15】 前記MOSドライバーと前記出力端子間にコイルを構成し、前記MOSドライバーと接地端子間にダイオードを構成したことを特徴とする請求項13記載の半導体集積回路装置。

【請求項16】 前記MOSドライバーと前記出力端子間にコイルを構成し、前記MOSドライバーと接地端子間に同期整流用MOSドライバーを構成し、前記MOS制御回路により前記同期整流用MOSドライバーを制御することを特徴とする請求項13記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高耐圧MOS型半導体集積回路装置における、MOSドライバーの単位チャネル当たりの電流値とスイッチング速度の向上に関する。

(ただし本発明で言う高耐圧とは24V以上の電圧を指す。)

【0002】

【従来の技術】 以下に定電圧出力機能を有する電源用半導体集積回路装置（以後ボルテージレギュレーターと称す）を例に取って説明する。図2は従来のDDD (Double Diffused Drain) 構造の高耐圧MOSトランジスタを使った場合のMOSトランジスタの断面図である。第1導電型のシリコン基板(1)の表面に互いに間隔を設けて置かれた第2導電型のソース領域(2)とドレイン領域(3)と前記ドレイン領域の回りに設けられた第2導電型の2重拡散ドレイン領域(15)と前記ソース領域と前記ドレイン領域の間のチャネル形成領域(4)と前記チャネル形成領域の上に設

けられたゲート絶縁膜(6), (7)と前記ゲート絶縁膜の上に設けられたゲート電極(9)よりなるMOSTランジスタにおいて、MOSドライバーのゲート絶縁膜(7)とMOS制御回路のゲート絶縁膜(6)は同じ膜厚であった。

【0003】

【発明が解決しようとする課題】ボルテージ・レギュレータは入力側から電力を取り込んで出力側へ電力を伝達し、伝達する電力を制御することによって出力電圧を安定化している。この場合、許容入力電力(入力電圧×入力電流)が大きいものほど出力電力(出力電圧×出力電流)も大きく出来る。出力電力が大きくなると今まで電力不足で利用されなかった分野にも利用されるようになる。

【0004】従来から許容入力電力を高めるためにMOSTランジスタの高耐圧化が計られてきた。そしてMOSTランジスタを高耐圧構造にすることによってボルテージ・レギュレータの許容入力電圧は向上してきた。しかしMOSTランジスタを高耐圧化するためには、表面ブレイクダウン耐圧やTDDDB(Time Dependence Dielectric Breakdown; 絶縁膜破壊の時間依存)などを考慮しなければならないので、MOSTランジスタのゲート絶縁膜をかなり厚くする必要があった。

【0005】さらにMOSTランジスタのゲート絶縁膜は、全て同じ膜厚であったので、1ヶ所でもゲート電極に高電圧が掛かるMOSTランジスタがあると、全てのMOSTランジスタのゲート絶縁膜厚を厚くせざるをえなかった。ゲート絶縁膜が厚くなるとMOSTランジスタの単位チャネルあたりに流れる電流値は減少し、スイッチング速度は遅くなるので、従来のボルテージ・レギュレータでは許容入力電圧を高くした場合、出力電流が取れなくなると言う課題を有していた。

【0006】

【課題を解決するための手段】本発明は上記課題を解決するために、ゲート～基板間電圧差が常に小さい回路(例えばMOSドライバーなど)はゲート絶縁膜の厚みを薄くし、ゲート～基板間電位差が大きくなったり小さくなったりする回路(例えばコンパレータ)などはゲート絶縁膜の厚みを厚くした。

【0007】さらにゲート絶縁膜を薄くしてもドレイン耐圧を24V以上にするためにLOCOS-ドレイン構造のMOSTランジスタを採用した。

【0008】

【作用】上記手段をとることで、高耐圧MOS型半導体集積回路装置の単位チャネルあたりに流れる電流値とスイッチング速度を向上することができる。

【0009】

【実施例】以下に本発明の高耐圧MOS型半導体集積回路装置の第1実施例であるボルテージレギュレータの回

路について回路ブロック図5を参照しながら説明する。本発明のボルテージレギュレータは、Vref回路(301)とラダー抵抗(303)とコンパレータ(302)とMOSドライバー(304)と電流制限回路(305)からなっている。

【0010】Vref回路(301)で発生する基準電圧とラダー抵抗で分割された出力電圧をコンパレータが受け、MOSドライバー(304)はコンパレータ(302)から送られる出力信号を受け、出力電圧が常に一定になるよう働いている。電流制限回路(305)は出力端子(307)とグランド端子(308)がショートしてもMOSドライバー(304)のゲート電極に過大な電圧が印加されないよう出力電流をリミットしている。

【0011】図6に本発明第1実施例の回路図を示す。Vref回路はM1とM2の2個のMOSTランジスタで構成され、コンパレータはM3～M7の5個のMOSTランジスタで構成され、電流制限回路はM8とM9の2個のMOSTランジスタとR3の抵抗で構成され、MOSドライバーはM10の1個のMOSTランジスタで構成され、ラダー抵抗はR1とR2の2個の抵抗で構成されている。

【0012】A点の電圧(基準電圧: Vref)はエンハンスメント型MOSTランジスタ(M1)とデプレッション型MOSTランジスタ(M2)のしきい値電圧の絶対値の和にほぼ等しく、入力電圧(Vin)が変動しても常にある電圧(基準電圧: Vref)に保たれている。MOSTランジスタM3～M7で構成されるコンパレータ(比較回路)はA点の電圧とB点の電圧を比較して、A点の電圧がB点の電圧よりも高い場合、C点の電圧を低くしてMOSTランジスタM10のチャネル電流を増やし、A点とB点の電圧が同じになるように働きかける。出力電圧(Vout)はラダー抵抗R1とR2の比で決まり、B点の電圧はA点の電圧(Vref)と同じになるようにMOS制御回路により調整されているので、出力電圧Voutは $V_{out} = V_{ref} \cdot (R1 + R2) / R1$ となる。

【0013】次に電流制限回路の働きについて説明する。電流制限回路は2個のMOSTランジスタM8とM9と1個の抵抗R3で構成され、M9はMOSドライバーM10と同じ型(ここではPチャネル型)、同じゲート絶縁膜厚(ここでは3000Å)、同じ実行チャネル長(ここでは3.0μm)であり、M9のチャネル幅はM10より狭く(ここでは1/100)、R3の抵抗値は低く、M8のしきい値電圧と制限電流値で決定している(ここではM8のしきい値電圧を-0.8Vとし、制限電流を1AとしてR3の抵抗値を80Ωとしている)。MOSTランジスタM10に1Aの電流が流れた場合、M9とM10はカレント・ミラー回路を形成しているので、チャネル幅の比に応じてM9に0.

0.1Aの電流が流れる。R3での電圧降下はR3の抵抗値が80Ωなので0.8Vとなる。R3での電圧降下が0.8V以上になるとM8のトランジスタがオンする。M8がオンするとM10のゲート電圧が高くなって(M10のゲートソース間電圧は低くなって)M10は電流を流さなくなる。

【0014】図1は本発明第1実施例のボルテージレギュレーターのMOSトランジスタの断面図である。第1導電型のシリコン基板(1)の表面に互いに間隔を置いて設けられた第2導電型のソース領域(2)とドレイン領域(3)と前記ソース領域と前記ドレイン領域の間に設けられたチャネル形成領域(4)と前記チャネル領域に接して前記ドレイン領域の一部に設けられた第2導電型のドリフト領域(5)と前記チャネル形成領域の上に設けられたゲート絶縁膜(6)、(7)と前記ドリフト領域の上に設けられたロコス・ドレイン酸化膜(8)と、前記ゲート絶縁膜と前記ロコス・ドレイン酸化膜の上に設けられたゲート電極(9)からなる高耐圧MOS型半導体集積回路装置において、MOS制御回路(V_{ref}回路やコンパレータなど)のゲート酸化膜厚は800Åであり、MOSドライバーのゲート酸化膜厚は300Åである。

【0015】何故MOS制御回路のゲート酸化膜厚を800Åにしたかと言うと、MOS制御回路部のゲート電極は入力電圧がフルに掛かる場合があるので、MOS制御回路のゲート絶縁膜(6)の膜厚は許容入力電圧に対しT_{DD}Bで10年保証される厚さとし、許容入力電圧を3MV/cmで除した膜厚±10%程度とした。具体的には定格24Vの場合には800±80Åとする。

【0016】MOSドライバーのゲート電極は、MOS制御回路からの出力電圧が掛かるので、入力電圧がフルに掛かることは無く、図3の斜線部分の電圧範囲が動作範囲となる。図3を詳しく説明すると、横軸は入出力電圧差で縦軸がゲート電圧で、線101~103はそれぞれ200mA、500mA、1Aを出力するのに必要なゲート電圧を示している。ただし、回路の構成上ゲート電圧は入力電圧を越えることはない(線104、線105以上のゲート電圧以上になることは無い)のでMOSドライバーの動作範囲は斜線部分となる。

【0017】図3より、MOSドライバーのゲート電圧(ゲート基板/ソース間電圧)はたとえ5V、1A出力時でも最大9V程度となる。従ってドライバーのゲート酸化膜の膜厚は9Vを3MV/cmで除した厚さ±10%程度(300±30オングストローム程度)とする。

【0018】ただしここで注意しなければならないのはオフ時においてMOSドライバーのゲートドレイン間に入力電圧がフルに掛かる場合がある事である。本発明ではLOCOSドレイン構造と言って、ドレイン部のゲート酸化膜(ロコス・ドレイン酸化膜8)を厚くして

ドレイン耐圧を高くしている。

【0019】図4に従来のDDD構造のMOSトランジスタとLOCOSドレイン構造のMOSトランジスタのドレイン耐圧(BV_{ds})の比較を示す。図4の縦軸はドレイン耐圧(BV_{ds})を示し、横軸にはゲート酸化膜厚を表している。線201、202はそれぞれDDD構造のN_{ch}とP_{ch}のドレイン耐圧を表し、線203、204はそれぞれLOCOSドレイン構造のN_{ch}とP_{ch}のドレイン耐圧を表している。DDD構造とLOCOSドレイン構造はともにゲート酸化膜厚が薄くなるとドレイン耐圧が低下する。本発明のボルテージレギュレータはドライバーのドレインには入力電圧が目一杯印加されるので、従来のDDD構造のMOSドライバーではゲート酸化膜を薄くすることは出来なかった。本発明のLOCOSドレイン構造を採用することによって、初めてMOSドライバーのゲート酸化膜厚を300Åにする事が出来た。

【0020】さらに、LOCOSドレイン構造のロコス・ドレイン酸化膜(8)と素子分離領域のフィールド酸化膜(11)の厚さを揃えれば、通常のコンベンショナル構造のMOSを作る工程プラス1枚(この1枚は酸化膜厚の作り分けに使われる。)のマスク工程で高耐圧MOSトランジスタが作成できる。

【0021】ロコス・ドレイン酸化膜(8)と素子分離のためのフィールド酸化膜(11)の膜厚を揃えるためには、MOSトランジスタのドレイン耐圧と素子分離のためのフィールド・トランジスタの閾値が共に定格以上(ここでは24V以上)でなければならない。図7、8にそれぞれボロン・フィールド・ドープとリン・フィールド・ドープに対するドレイン耐圧とフィールド・トランジスタの閾値を示す。

【0022】図7はBFD(Boron Field Dope)についての図である。縦軸にドレイン耐圧とフィールドの閾値を示し、横軸はボロン濃度を示している。図7よりドレイン耐圧(501)とフィールド・トランジスタの閾値(V_{tpf})(502)を共に24V以上とするためにボロン・フィールド・ドープのドーズ量を約1.0E14~2.6E14/cm²とした。

【0023】図8はPFD(Phos Field Dope)についての図である。縦軸にドレイン耐圧(BV_{ds})とフィールド・トランジスタの閾値(V_{tnf})を示し、横軸にボロン濃度を示す。図8よりドレイン耐圧(505)とフィールド反転電圧、すなわちフィールド・トランジスタの閾値電圧(504)を共に24V以上とするためにボロン・フィールド・ドープのドーズ量を約1.0E14~2.6E14/cm²とした。以上のように濃度を設定することによってドリフト領域と素子分離領域のBFDおよびPFDのドーズ量を揃えることが出来た。

【0024】さらに図5のように前記ボルテージレギュ

レータに電流制限回路(305)を付加すれば、たとえ出力端子(307)が接地端子(308)と短絡しても、1A以上流れないようにすればMOSドライバーのゲート電圧は9Vを越えることは決していない。

【0025】[第2実施例] 図9に本発明第2実施例のスイッチングレギュレータの回路ブロック図を示す。スイッチングレギュレータとはボルテージレギュレータの一種で、コイル(603)に電力を蓄え、出力端子(607)に必要な電力(電流)を供給する働きを持つ。出力電流を調整するのはスイッチングMOSドライバー(602)のゲート電極に与えるパルスの周波数やデューティ比を変えることによって行われている。

【0026】スイッチング用MOSドライバー(602)のゲート酸化膜を薄くすれば単位チャネル当たりの電流値が増えるのでスイッチングMOSドライバー(602)のサイズを小さくすることが出来るし、スイッチング速度やサブスレショルド係数も改善されるので過渡応答特性や出力電流での改善が見られる。

【0027】[実施例3] 図10に本発明第3実施例の同期整流方式のボルテージ・レギュレータの回路ブロック図を示す。同期整流方式とは出力電圧が例えば3.3Vと小さい時における変換効率の改善を計ったもので、同期整流用MOSドライバー(702)と整流ダイオード(705)で一気にコイル(704)に電流を供給しようと言うもので、スイッチング用MOSドライバー(702)のオフ時間を減らし、整流ダイオードによる損失も減らしている。

【0028】スイッチング用MOSドライバー(702)と同期整流用MOSドライバー(703)のゲート酸化膜を薄くすることによって、スイッチング速度やサブスレショルド係数が改善されるので、さらに変換効率が高くなる。

【0029】

【発明の効果】本発明により高耐圧MOS型半導体集積回路装置において、MOSドライバーの単位チャネル当たりの電流量の増加とMOSスイッチのスイッチング速度の高速化が達成された。

【図面の簡単な説明】

【図1】本発明第1実施例のボルテージ・レギュレータのMOSトランジスタの断面図である。

【図2】従来のボルテージ・レギュレータのMOSトランジスタの断面図である。

【図3】本発明第1実施例のボルテージ・レギュレータのMOSドライバーのゲート電圧と入出力電圧の関係をあらわすグラフである。

【図4】従来のDDD型MOSトランジスタと本発明のLOCOSードレイン型MOSトランジスタのドレイン耐圧(BV_{ds})とゲート酸化膜厚の関係を示したグラフである。

【図5】本発明第1実施例のボルテージ・レギュレータ

の回路ブロック図である。

【図6】本発明第1実施例のボルテージ・レギュレータの回路図である。

【図7】本発明のLOCOSードレイン型PMOSトランジスタのドレイン耐圧(BV_{ds})およびフィールド・トランジスタの閾値(V_{tpf})に対するBFDの関係を示した図である。

【図8】本発明のLOCOSードレイン型PMOSトランジスタのドレイン耐圧(BV_{ds})およびフィールド・トランジスタの閾値(V_{tnf})に対するPFDの関係を示した図である。

【図9】本発明第2実施例のスイッチング・レギュレータの回路ブロック図である。

【図10】本発明第3実施例の同期整流方式のボルテージ・レギュレータの回路ブロック図である。

【符号の説明】

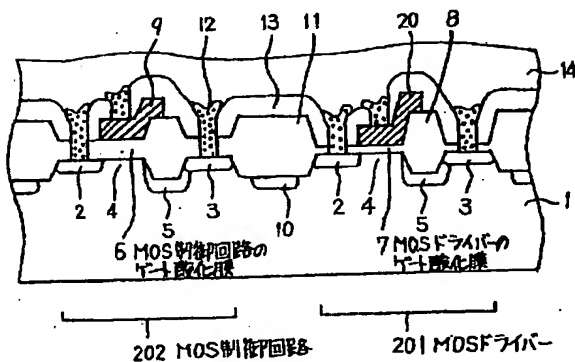
- 1 第1導電型のシリコン基板
- 2 第2導電型のソース領域
- 3 第2導電型のドレイン領域
- 4 チャネル形成領域
- 5 第2導電型のドリフト領域
- 6 MOS制御回路部のゲート酸化膜
- 7 MOSドライバーのゲート酸化膜
- 8 ロコス・ドレイン酸化膜
- 9 ゲート電極
- 10 第1導電型の素子分離領域
- 11 フィールド酸化膜
- 12 金属電極
- 13 層間絶縁膜
- 14 保護膜
- 15 第2導電型の2重拡散ドレイン領域(DDD領域)
- 101 出力電流が200mAの時のゲート電圧と入出力電圧の関係を表す曲線
- 102 出力電流が500mAの時のゲート電圧と入出力電圧の関係を表す曲線
- 103 出力電流が1Aの時のゲート電圧と入出力電圧の関係を表す曲線
- 104 出力電圧が3Vの時の入力電圧=ゲート電圧となる直線
- 105 出力電圧が5Vの時の入力電圧=ゲート電圧となる直線
- 201 DDD構造のNchMOSトランジスタのドレイン耐圧とゲート酸化膜厚の関係を表す直線である。
- 202 DDD構造のPchMOSトランジスタのドレイン耐圧とゲート酸化膜厚の関係を表す直線
- 203 LOCOSードレイン構造のNchMOSトランジスタのドレイン耐圧とゲート酸化膜厚の関係を表す直線
- 204 LOCOSードレイン構造のPchMOSトラ

ンジスタのドレイン耐圧とゲート酸化膜厚の関係を
示す直線

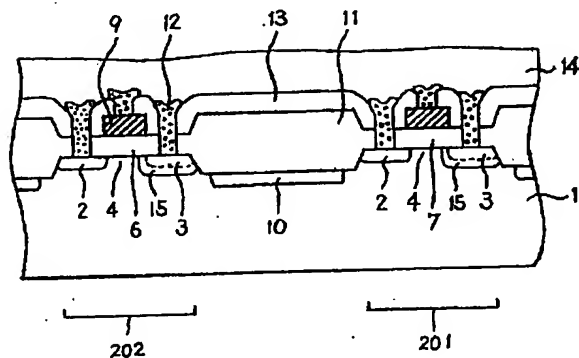
- 301 Vref回路
- 302 コンパレータ
- 303 ラダー抵抗
- 304 MOSドライバー
- 305 電流制限回路
- 306 入力端子 (Vin)
- 307 出力端子 (Vout)
- 308 接地端子 (GND)
- 401 入力端子 (Vin)
- 402 出力端子 (Vout)
- 403 接地端子 (GND)
- 501 BFDとNchのドレイン耐圧 (BV_{dss})
の関係を
示す直線
- 502 BFDとNchフィールド・トランジスタの閾
値 (V_{tnf}) の関係を
示す直線
- 503 PFDとPchのドレイン耐圧 (BV_{dss})
の関係を
示す直線
- 504 PFDとPchフィールド・トランジスタの閾
値 (V_{tpf}) の関係を
示す直線
- 601 MOS制御回路
- 602 スイッチング用MOSドライバー

- 603 コイル
- 604 ダイオード
- 605 キャパシター
- 606 入力端子 (Vin)
- 607 出力端子 (Vout)
- 608 接地端子 (GND)
- 701 MOS制御回路
- 702 スイッチング用MOSドライバー
- 703 同期整流用MOSドライバー
- 704 コイル
- 705 ダイオード
- 706 キャパシター
- 707 入力端子 (Vin)
- 608 出力端子 (Vout)
- 609 接地端子 (GND)
- M1, M3~M5 Nチャネル・エンハンスメント型M
OSTランジスタ
- M2 Nチャネル・デプレッション型MOSトランジス
タ
- M6~M10 Pチャネル・エンハンスメント型MOS
トランジスタ
- R1~R3 抵抗

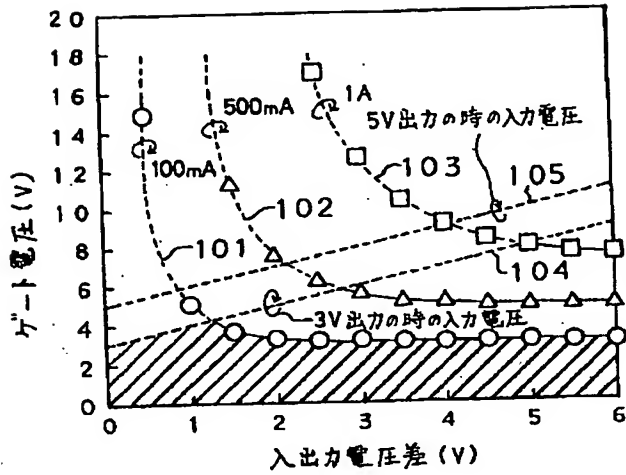
【図1】



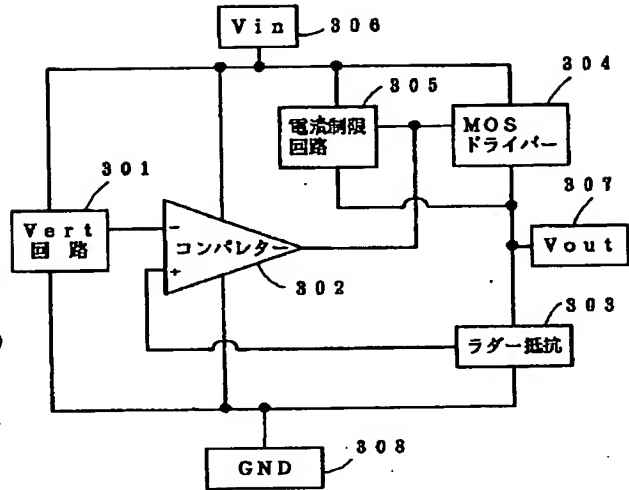
【図2】



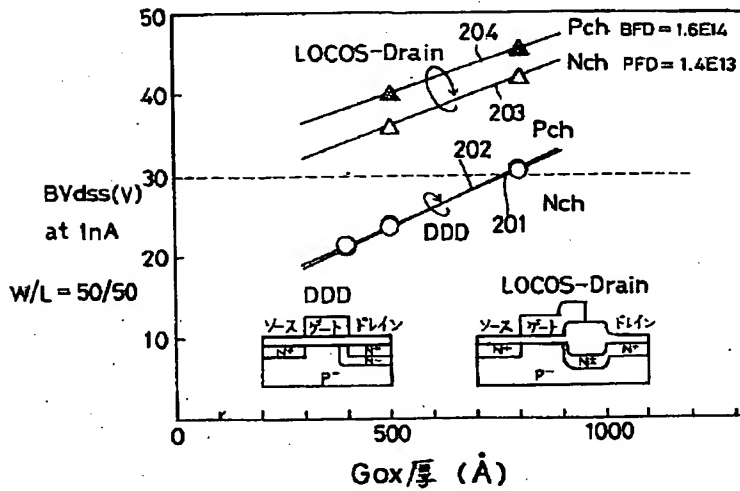
【図3】



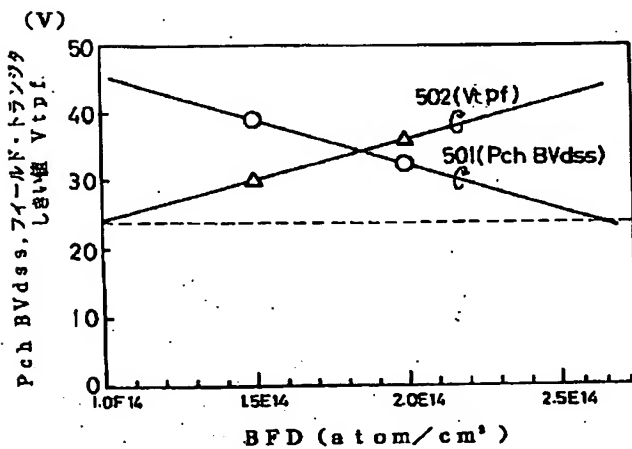
【図5】



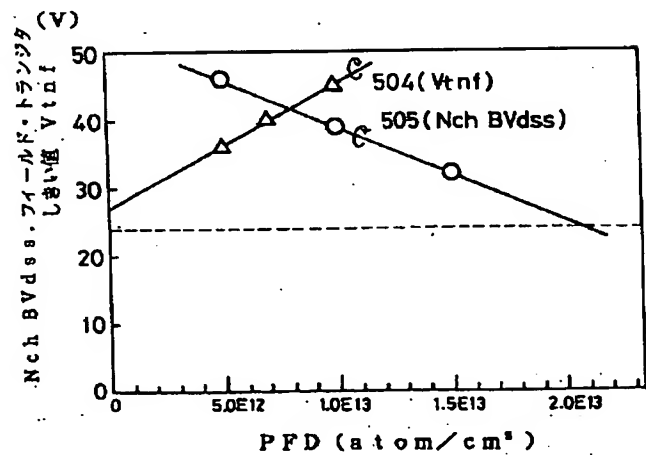
【図4】



【図7】



【図8】



401

V_{in}

通電流制限回路

M6 M7 M8

R3

MOSドライバー

M4 M5

A B C

M1 M2

V_{out}

402

R2

R1

ラダー抵抗

Vref回路 コンパレータ

GND ~ 403

MOS制御回路

(51) Int. Cl. 6

F I

· 301 W

技術表示箇所